

Electronic Design Automation (EDA)

Layout Versus Schematic

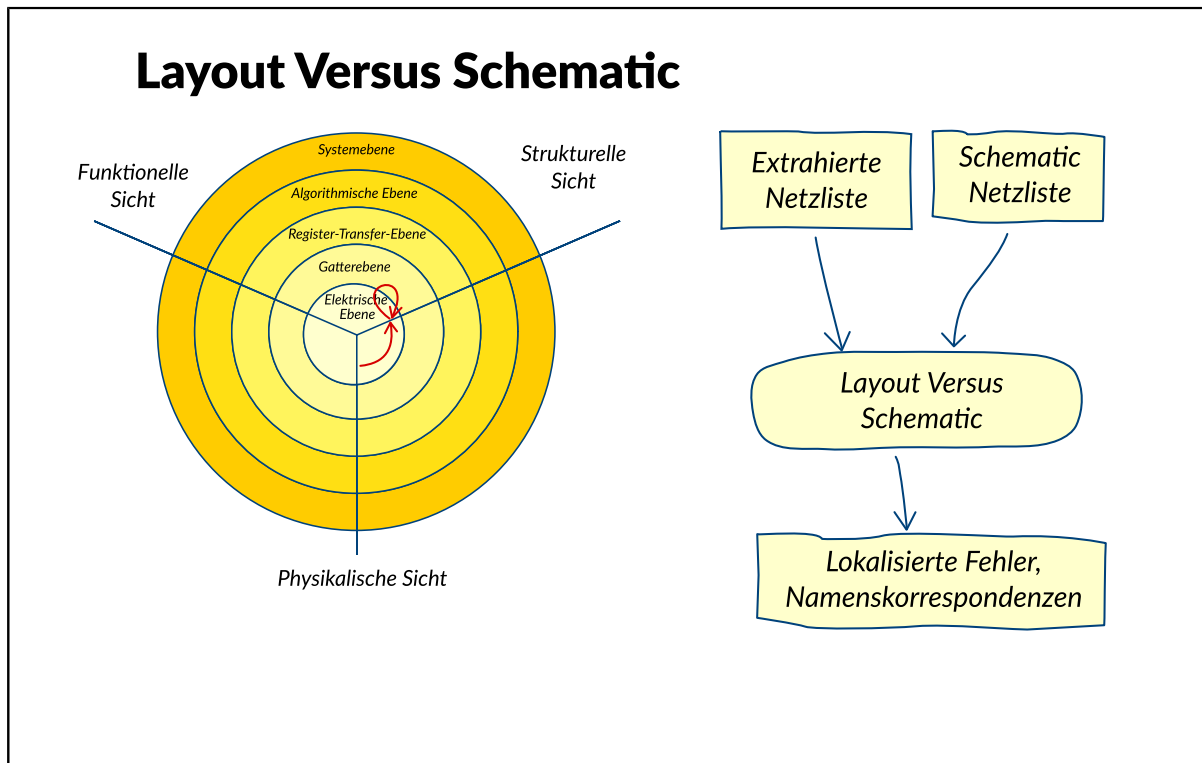
Layout Versus Schematic

Darstellung der Schaltung als Graph

Vereinfachungen

Beispiel

Layout Versus Schematic: Layout Versus Schematic

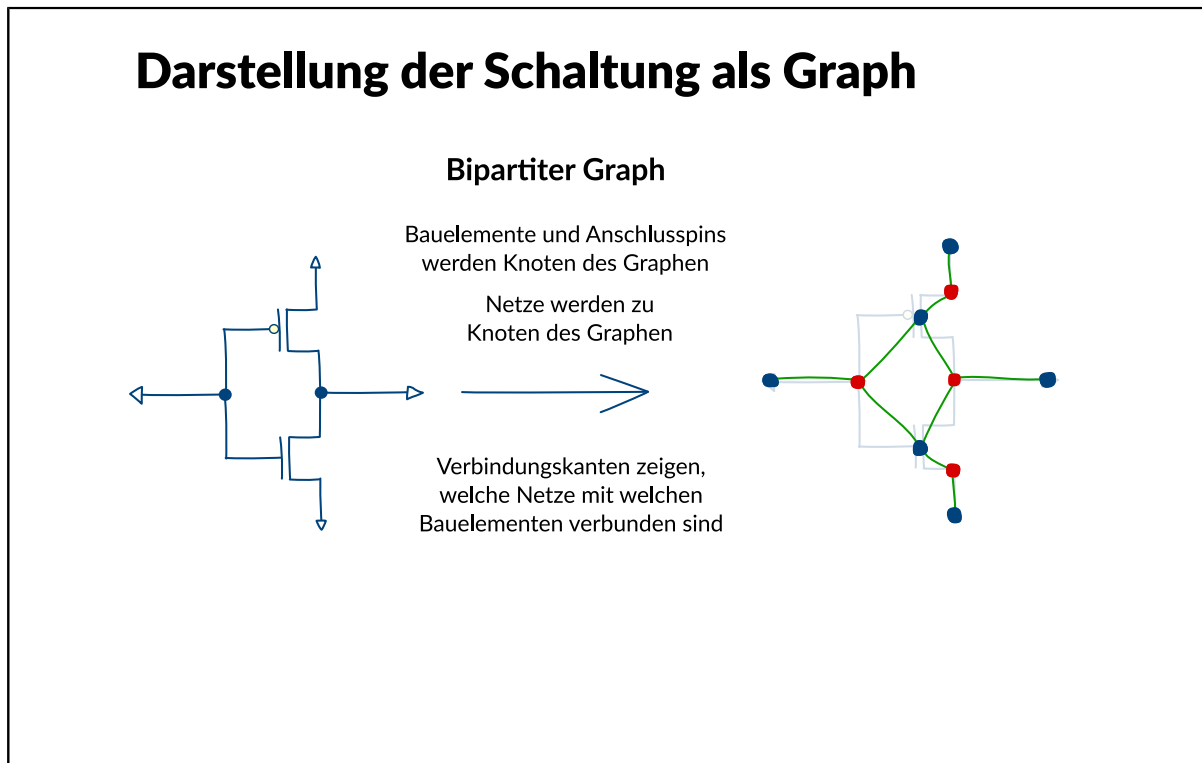


Der Begriff LVS steht für Layout Versus Schematic und bezeichnet den automatischen Vergleich zweier Netzlisten: Einerseits die aus dem Layout extrahierte Netzliste und andererseits die Netzliste, die dem Layout zu Grunde liegt, also das Ergebnis des Schaltungsentwurfs (Schematic).

Bei diesem Vergleich wird durch topologische Layoutprüfung die Übereinstimmung der extrahierten Istschaltung mit der dem Layoutentwurf zugrunde liegenden Sollschaltung überprüft. Die dabei angewandten Algorithmen und Verfahren können zum Vergleich beliebiger Netzlisten auf elektrischer Ebene verwendet werden.

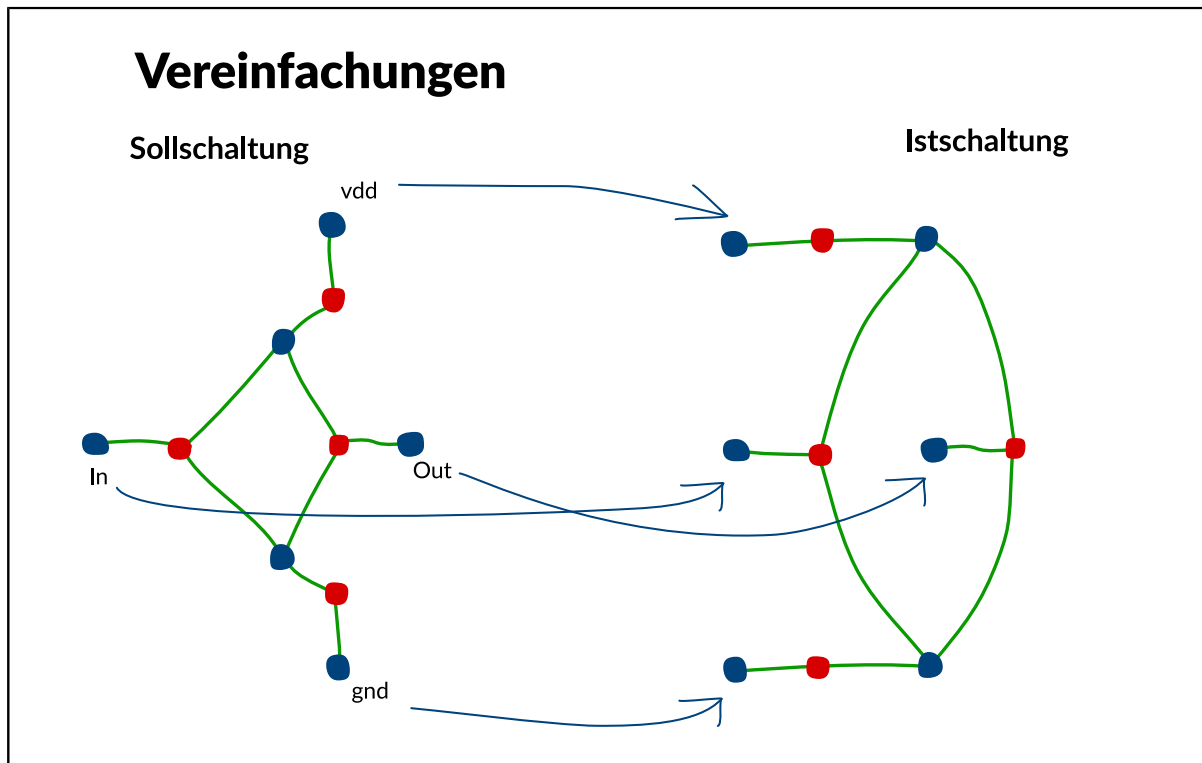
Als Eingabe werden die beiden zu vergleichenden Netzlisten benötigt. Dabei enthält die aus dem Layout extrahierte Netzliste keine parasitären Elemente, sondern nur die Nutzelemente. Die Ausgabe des LVS gibt lokalisierte Fehler aus und erzeugt eine Liste der Namenskorrespondenzen (Zuordnung der Namen von Schaltungselementen aus der entworfenen Netzliste zu Elementen der extrahierten Netzliste). Fehler können einerseits in der Struktur der Netzlisten, andererseits in unterschiedlichen Parametern der Bauelemente auftreten.

Layout Versus Schematic: Darstellung der Schaltung als Graph



Zunächst werden die zu vergleichenden Schaltungen als Graphen dargestellt. Beispielsweise können die Baelemente und Netze als Knoten und die Verbindungen durch Kanten dargestellt werden. Alle Verfahren zum LVS lassen sich dann auf die Isomorphieuntersuchung zweier Graphen zurückführen. Dabei handelt es sich um ein bekanntes Problem, das im allgemeinen Fall, in dem keine Namenskorrespondenzen zwischen den Graphen bekannt sind, zur Klasse der NP-vollständigen (NP: Nicht-deterministisch Polynomial) Probleme gehört. Bei einem NP-vollständiges Problem nimmt die Rechenzeitkomplexität mit wachsender Problemgröße drastisch zu; diese Klasse von Problemen lässt sich nur mit Hilfe einer nicht-deterministischen Turing-Maschine effizient lösen. Da keine solche Maschine existiert, ist notwendig das Problem zu vereinfachen und geeignete Algorithmen zur Lösung zu finden.

Layout Versus Schematic: Vereinfachungen



Die Isomorphieuntersuchung wird wesentlich vereinfacht, wenn Namenskorrespondenzen bekannt sind. Oft sind die Terminalnamen in den zu vergleichenden Netzlisten gleich und können daher als Start-Korrespondenzen verwendet werden. Außerdem werden mögliche Korrespondenzen bei übereinstimmenden Bauteiltypen sowie gleicher Anzahl der Anschlüsse verwendet, um die Prüfung auf Isomorphie zu beschleunigen.

Layout Versus Schematic: Beispiel

Beispiel

```
/u/zhenluo/run/LVS/st.out
File Help 20
p[0]@cds: LVS version 4.4.5 10/28/1999 15:28 (cds11182) $
Like matching is enabled.
Net swapping is enabled.
Using terminal names as correspondence points.
Compiling Diva LVS rules...

Net-list summary for /u/zhenluo/run/LVS/Layout/netlist
count
4      nets
4      terminals
1      pmos
1      nmos

Net-list summary for /u/zhenluo/run/LVS/schematic/netlist
count
4      nets
4      terminals
1      pmos
1      nmos

Terminal correspondence points
1      irw_in
2      GND!
3      VDD!
4      irw_out

The net-lists match.

              layout  schematic
              instances
un-matched   0      0
rewired      0      0
size errors  0      0
pruned       0      0
active       2      2
total        2      2

              nets
un-matched   0      0
merged       0      0
pruned       0      0
active       4      4
total        4      4

              terminals
un-matched   0      0
matched but  0      0
different type
total        4      4

Probe files from /u/zhenluo/run/LVS/schematic
```

Das Bild zeigt ein Vergleichsergebnis zweier Schaltungen. In der extrahierten Schaltung haben die Netze automatisch Namen zugewiesen bekommen, die sich von denen der Nominalschaltung unterscheiden.