



Design Rule Check

Design Rule Check

Entwurfsregeln

Geometrierestriktionen

Prozessbedingte

Abweichungen

Justiergenauigkeit

Regelprüfung

DRC-Beispiel

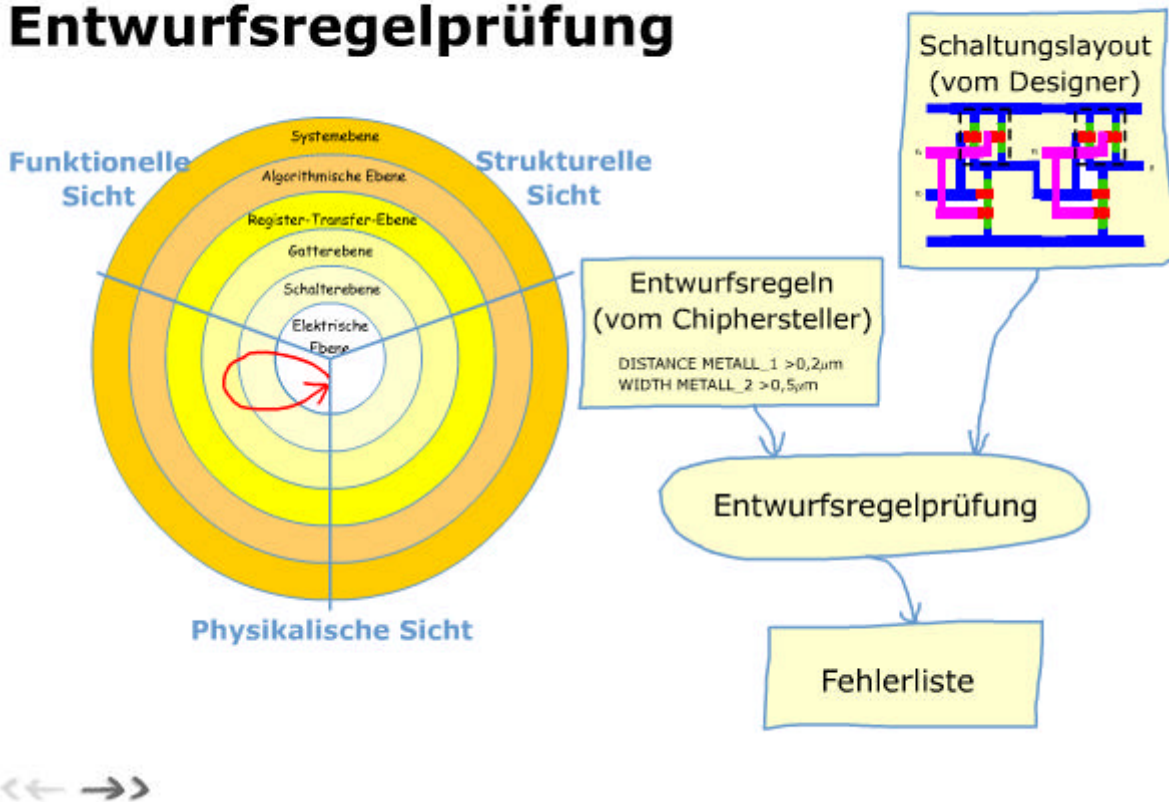
Scheinfehler

Electrical Rule Check

Elektrische
Entwurfsregeln

Close

Design Rule Check (DRC) Entwurfsregelprüfung



Auch bei den erfahrensten Schaltungsentwicklern können bei der Layouterzeugung Fehler auftreten, die eine volle Funktionsfähigkeit der Schaltung beeinträchtigen. Zudem besitzt jeder Chiphersteller unterschiedliche Restriktionen, die für den jeweiligen Technologieprozess gelten. Diese Einschränkungen gewährleisten die zuverlässige Funktionalität der gefertigten Schaltung. Daher müssen vom Chiphersteller Bedingungen, die im Layout gelten sollen, dem Schaltungsentwickler vorgegeben werden. Bei Fehlern muss ein Redesign vorgenommen werden, das im hierarchischen Entwurf einen Rücksprung auf eine höhere Ebene entspricht. Obwohl das einen erheblichen Zeitaufwand bedeutet, ist diese Vorgehensweise weitaus kostengünstiger, als die Fertigung einer nicht funktionsfähigen Schaltung.

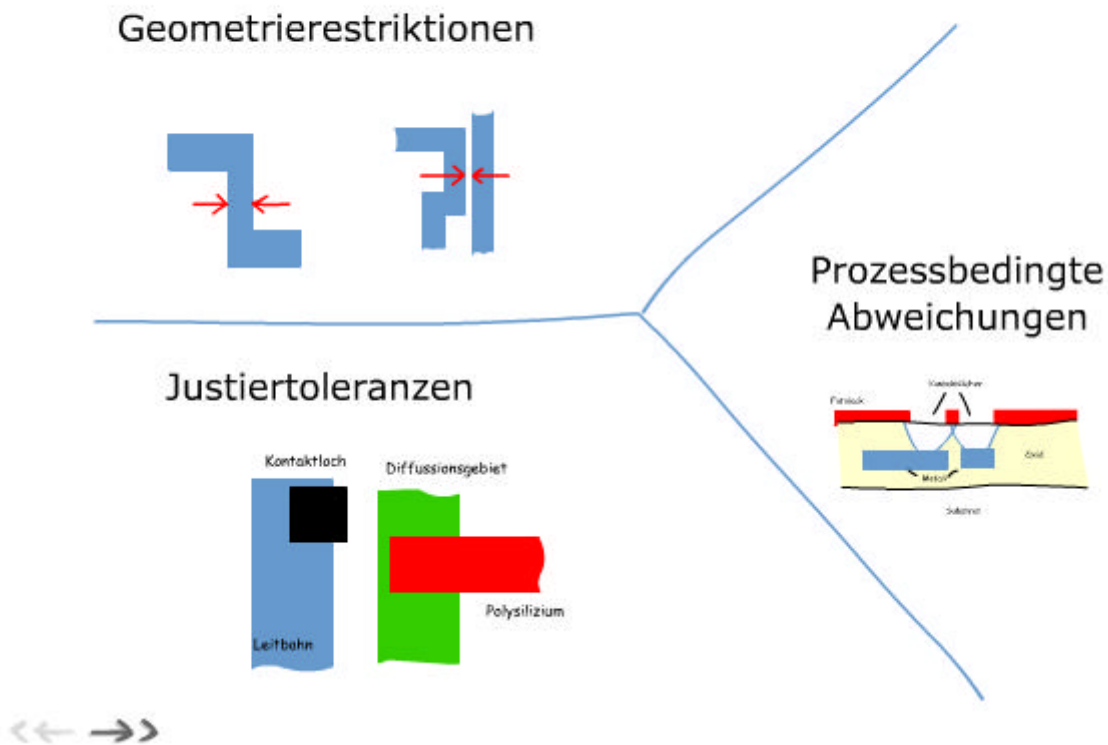
Die Verifikation des Schaltungslayouts wird durch geeignete Prüfprogramme automatisch durchgeführt, wobei die Regeln für die Prüfung vom Chiphersteller vorgegeben sind, aber vom Schaltungsentwickler erweitert werden können. Vor der Einführung von Software-Werkzeugen etwa Mitte der siebziger Jahre wurden ausschließlich visuelle Kontrollen durchgeführt. Diese waren jedoch sehr langsam und fehlerträchtig und mit wachsender Komplexität auch für den Menschen kaum zumutbar. Bei der heutigen Anzahl von Regeln in Verbindung mit den vielen beteiligten Layern ist eine automatisierte Prüfung unumgänglich.

Die Layoutprüfung ist ein technologieabhängiger Vorgang. Während die technologiespezifische Information anfangs unmittelbar in die Programme hinein codiert wurde, gelang es später, die Prüffunktionen so zu verallgemeinern, dass die Technologieabhängigkeit in den

Bereich der Programmparameter und Eingabedaten verlagert werden konnte. Dazu dienen heute so genannte Technologiebeschreibungssprachen. Mit ihrer Hilfe lassen sich die Grundelemente eines Prozesses (Ebenen, Prozessparameter), seine geometrischen Beschreibungselemente (geometrische Elemente, Standardbreiten, etc.) und vollständige Prüfsequenzen beschreiben.

Jeder Chiphersteller gibt für den Herstellungsprozess eine Reihe von geometrischen Restriktionen an. In den so genannten Entwurfsregeln (Design Rules) werden z.B. Mindestabstände, Mindestbreiten, Überlappungen und Innenlagen der einzelnen Layer und Layerkombinationen festgelegt. Entwurfsregeln sind neben dem Layout die Eingangsparameter der Entwurfsregelprüfung. Regelverletzungen und eine Fehlerliste stellen die Ausgabe dar.

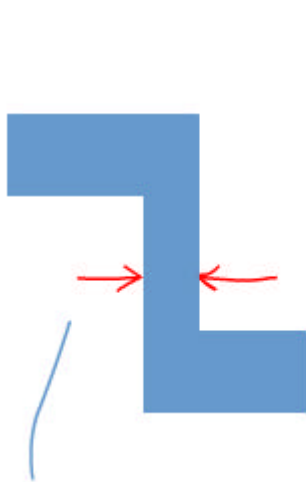
Entwurfsregeln



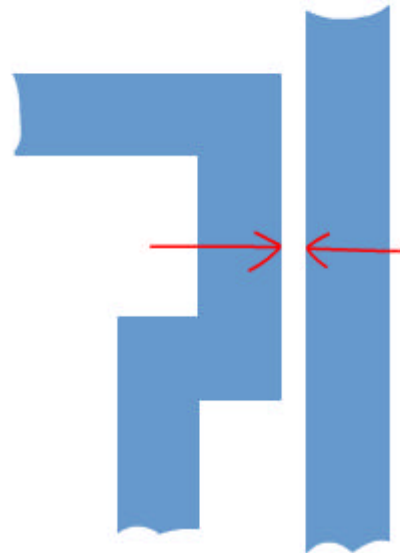
Entwurfsregeln können in drei Kategorien eingeordnet werden, die im folgenden erläutert werden.

- Elektrisch bedingte Geometrierestriktionen
- Prozessbedingte Abweichungen
- Justiertoleranzen von Masken

Geometrierestriktionen



Leitbahnabmessungen zu gering
-> Stromdichteregeln verletzt

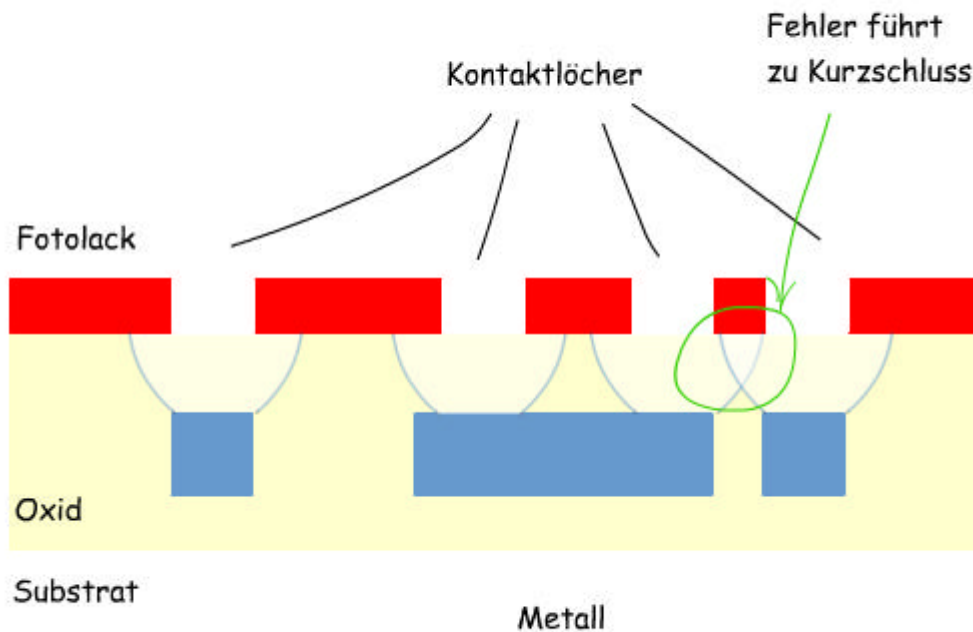


Mindestabstand unterschritten
-> Übersprechregeln verletzt



Im Layout werden geometrische Merkmale überprüft, die aufgrund elektrischer Randbedingungen eingehalten werden müssen. Das steht im Gegensatz zur elektrischen Regelprüfung, die eine Schaltung topologisch prüft. Zu der geometrischen Prüfung gehört beispielsweise die Überprüfung einer erforderlichen Mindestleitbahnbreite für eine Strombelastung, die aus einer höchstzulässigen Stromdichte resultiert, oder Abstandsbedingungen zwischen Bauelementen und/oder Leiterbahnen, um Feldstärken und Kapazitäten in Grenzen zu halten.

Prozessbedingte Abweichungen



Ein Beispiel für prozessbedingte Abweichungen ist die endliche Auflösung von Ätzprozessen, die je nach Herstellungsprozess variieren. Aber auch die laterale Ausbreitung einer Diffusion wird den prozessbedingten Abweichungen zugeordnet. Die Abbildung zeigt links Kontaktlöcher für eine Durchkontaktierung zu einer zweiten Metallebene mit dem erforderlichen Mindestabstand. Die Kontaktlöcher sind unter den Öffnungen im Fotolack aufgeweitet, weil der Ätzprozess nicht ideal vertikal abläuft.

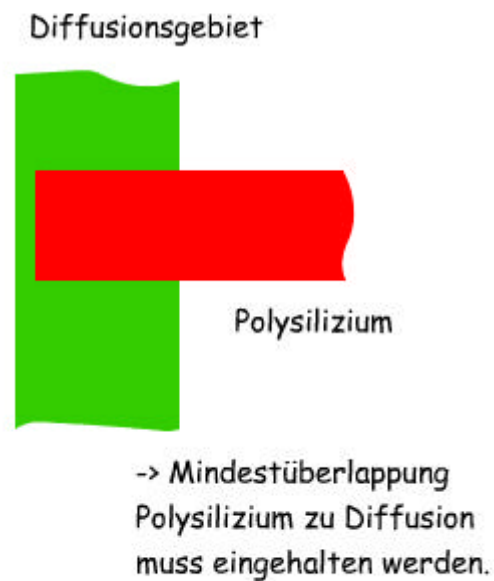
Rechts ist der Mindestabstand nicht eingehalten, so dass es zu einer Überschneidung zweier Kontaktlöcher und damit zu einem Kurzschluss kommt.

Justiertoleranzen von Masken

Innenlage von Kontakten



Mindestüberlappungen



Die Justiergenauigkeit der Masken bei der Fotolithographie liegt in der Größenordnung der optischen Auflösung der Prozesse. Daher muss zum Beispiel die Innenlage von Kontakten in Leitbahnen eingehalten werden, um diese Toleranzen zulassen zu können.

Ein anderes Beispiel ist eine Mindestüberlappung beim Aufbau von Bauelementen in mehreren Schichten, die zur Sicherheit vorhanden sein muss.

Regelprüfungsmethoden

Hilfsfunktionen

- Sortier-/ Suchfunktionen
- topologische Funktionen (Innenlage, Schnitt)
- Boolesche Operationen (UND, ODER, NICHT)
- Expansion, Kontraktion ("Aufblähen" und "Schrumpfen")

Messfunktionen

- Fläche
- Umfang
- Längen/Breiten-Verhältnisse



Das Layout besteht aus einer Vielzahl von Polygonen. Mit Hilfe geometrischer Operationen und Verknüpfungen von Layern können die Polygone bearbeitet werden, um sie anschließend mit Hilfe von Messfunktionen zu überprüfen. Eine Regel kann aus mehreren Operationen und Messfunktionen bestehen. Dabei gibt es oft unterschiedliche Möglichkeiten, eine Regel zu definieren.

Beispielsweise ist es möglich, den Mindestabstand zwischen allen Polygonen zu überprüfen, indem alle Polygonabstände gemessen werden. Die zweite Möglichkeit besteht darin, alle Polygone um den halben Mindestabstand aufzublähen und dann die Schnittmenge aller Polygone zu berechnen. Ist die resultierende Fläche nicht leer, so wurde der Mindestabstand nicht eingehalten.

Hilfsfunktionen

Eingesetzt werden

- Sortier-/Suchfunktionen,
- topologische Funktionen (Innenlage, Schnitt),
- boolesche Operationen (UND, ODER, NICHT),
- Expansion, Kontraktion("Aufblähen" und "Schrumpfen"),

Messfunktionen

Als Messfunktionen stehen zur Verfügung:

- Fläche,

- Umfang,
- Längen/Breiten-Verhältnisse.

DRC-Beispiel

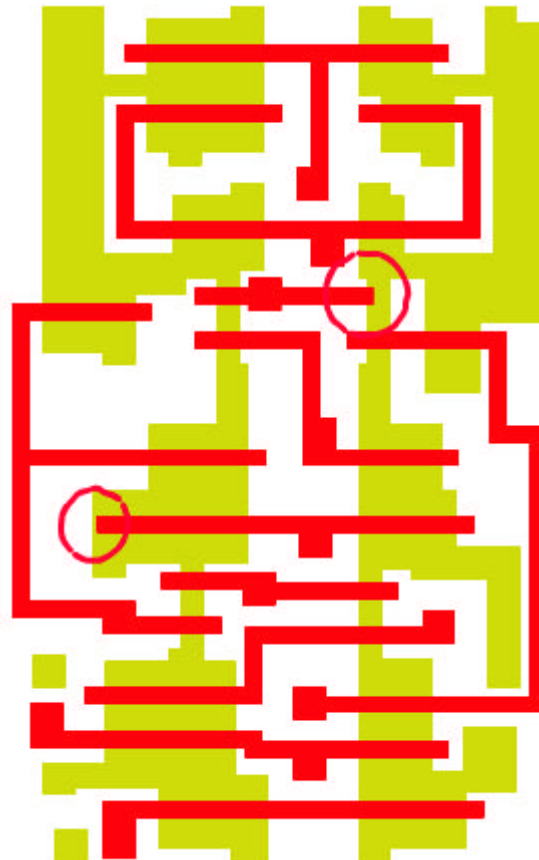
Layout-Beispiel: FlipFlop

-  Active
-  Polysilizium

Nehme Layer Diffusionsgebiet

Nehme Layer Polysilizium

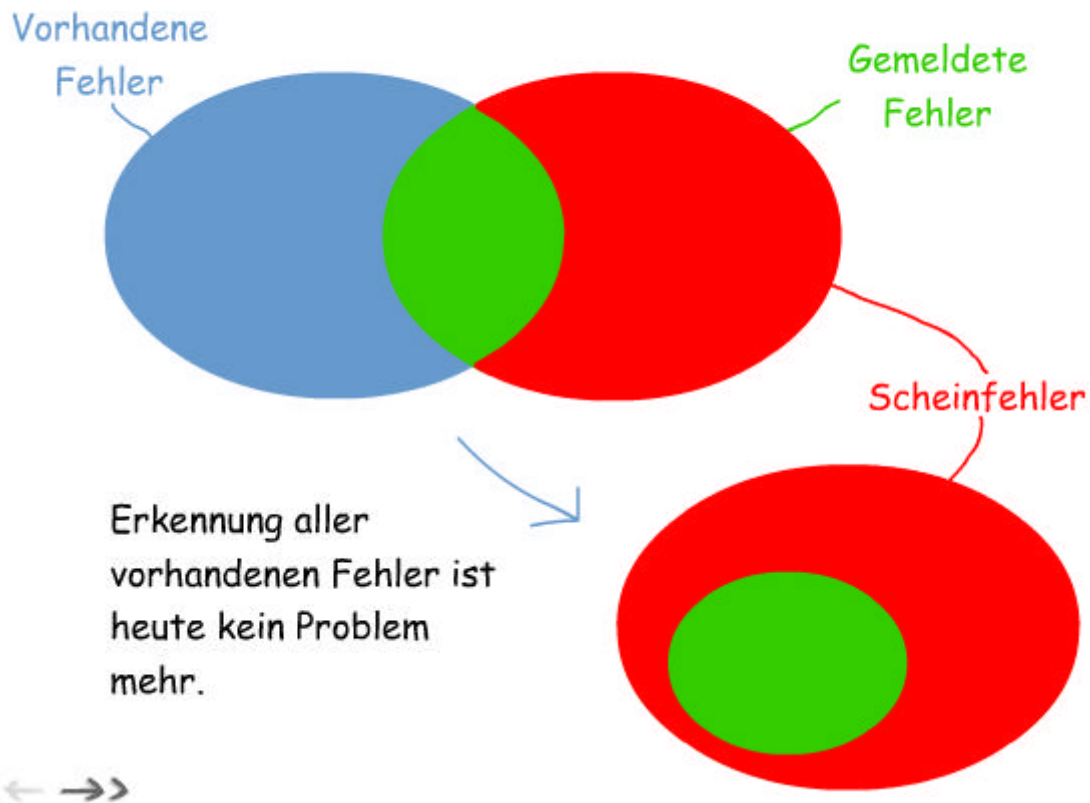
Makiere Polysiliziumgebiete,
die nicht ausreichend weit
über Diffusionsgebiet
Gebiete hinausragen.



Das Beispiel zeigt eine Regel für einen CMOS-Prozess. Die Prüfanweisungen ist in Pseudocode angegeben.

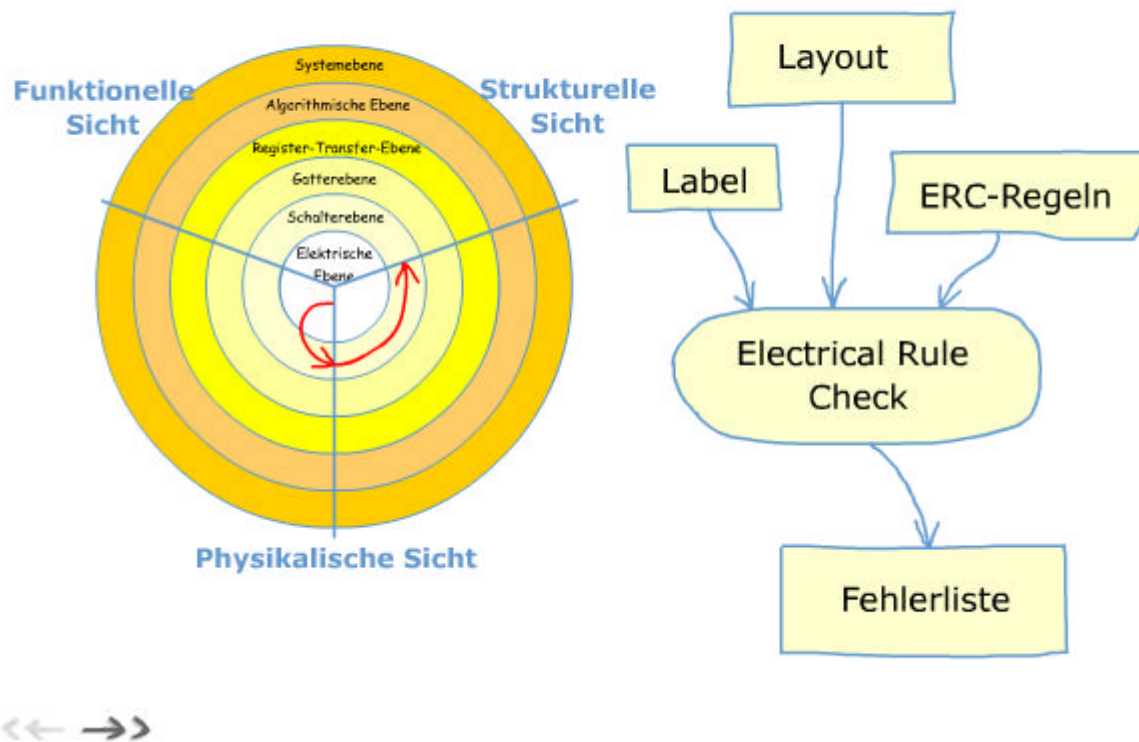
Die Prüfoperationen werden auf das Layout einer Flip-Flop-Standardzelle angewandt.

Scheinfehler



Fehler können bei einer Prüfung in zwei Formen auftreten. Wenn ein Fehler im Layout existiert, dieser jedoch nicht erkannt wird oder wenn kein Fehler vorliegt, vom Prüfprogramm jedoch ein solcher gemeldet wird. Der erste Fall tritt in heutigen Prüfprogrammen kaum noch auf. Der zweite Fall, die so genannten Scheinfehler können auch von heutigen Prüfprogrammen nicht verhindert werden.

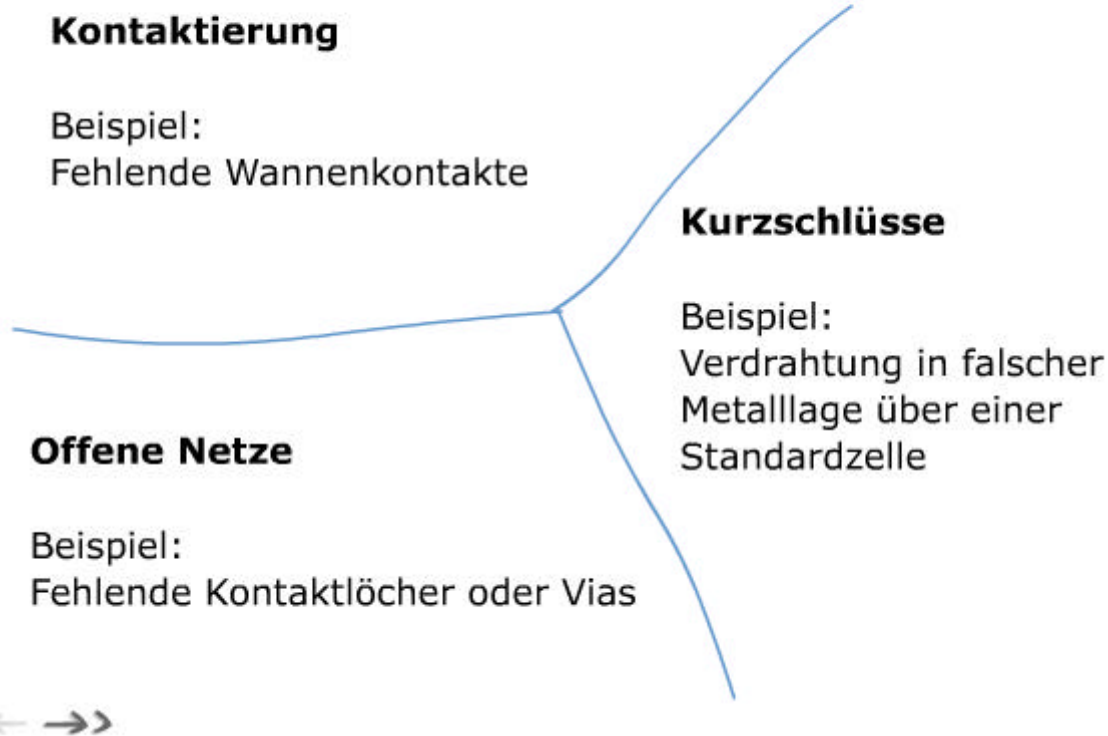
Electrical Rule Check (ERC)



Im Gegensatz zur Entwurfsregelprüfung werden bei der Prüfung elektrischer Regeln die Struktur und Integrität von Netzen im Layout untersucht, damit Schaltungsfehler wie z.B. Kurzschlüsse und offene Netze vermieden werden können.

Bei der Prüfung elektrischer Regeln werden zusätzlich zum Layout und den Regeln so genannte Label als Eingangsparameter verwendet. Ein Label ist eine eindeutige Bezeichnung für ein Netz und wird benötigt, um dasselbe Netz in unterschiedlichen Layern identifizieren zu können. Das Ergebnis der elektrischen Prüfung sind Regelverletzungen und eine Fehlerliste.

Elektrische Entwurfsregeln



Die Entwurfsregeln werden vom Chiphersteller vorgegeben, können aber durch die Formulierung in einer Technologiebeschreibungssprache vom Schaltungsdesigner angepasst werden. Anhand des Layouts mit eindeutig gekennzeichneten Netzen können einfache topologische Merkmale der Schaltung geprüft werden. Diese werden im folgenden kurz erläutert.

In diese Kategorie gehört z.B. die Bedingung, dass jede Wanne ein bestimmtes Potential haben muss, damit die darin realisierten Bauelemente funktionsfähig sind. Die parasitären pn-Übergänge müssen in Sperrrichtung gepolt sein, d.h. eine n-Wanne muss mit der Betriebsspannung und eine p-Wanne muss mit dem Nullpotential verbunden sein.

Eine nicht gewünschte Verbindung zwischen zwei Netzen, also ein Kurzschluss, kann insbesondere entstehen, wenn ein Layout hierarchisch erstellt wird. Dabei werden die Grundelemente, meist Standardzellen, durch das so genannte Abstract repräsentiert, das nur die Anschlusspunkte des Grundelements, nicht aber sein Layout beschreibt. Wird vom Schaltungsentwickler (oder durch das Verdrahtungswerkzeug) eine Leitung über ein solches Abstract geführt, kann ein Kurzschluss entstehen, wenn in der Standardzelle der gleiche Layer verwendet wird. Dieser Kurzschluss ist für den Schaltungsentwickler nicht zu erkennen, weil das Layout der Standardzelle für ihn nicht sichtbar ist.

Offene Netze sind vom Schaltungsentwickler schwer zu identifizieren, da sie typischerweise durch kleine Details im Layout verursacht werden, wie z.B.

fehlende Kontaktlöcher oder Vias. Durch offene Verbindungen können ganze Schaltungsteile ausfallen, wodurch eine Überprüfung aller Leitungen unumgänglich ist.